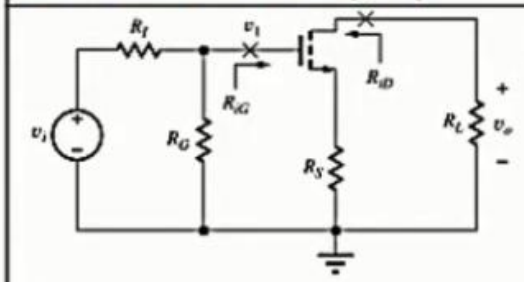
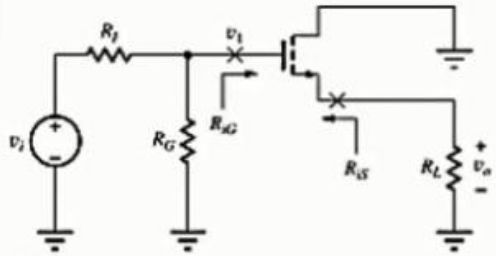
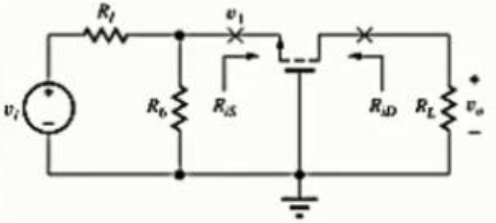
PDF-XChange
Click to buy NOW!
www.tracker-software.com

آنالیز تقویت کننده های چندطبقه

فرادرس
رایگان

Common Source (CS)	Common Drain (CD)	Common Gate (CG)
 (a)	 (b)	 (c)
$A_{V_d} = -\dfrac{g_m R_L}{1+g_m R_S}$ $R_i = \infty$ $R_o = \left[r_o\left(1+g_m R_E\right)\right]$ $A_{I_d} = \infty$	$A_{V_d} = \dfrac{R_L}{\dfrac{1}{g_m}+R_L}$ $R_i = \infty$ $R_o = \dfrac{1}{g_m}$ $A_{I_d} = \infty$	$A_{V_d} = g_m R_L$ $R_i = \dfrac{1}{g_m}$ $R_o = \left[r_o\left(1+g_m R_E\right)\right]$ $A_{I_d} \approx 1$

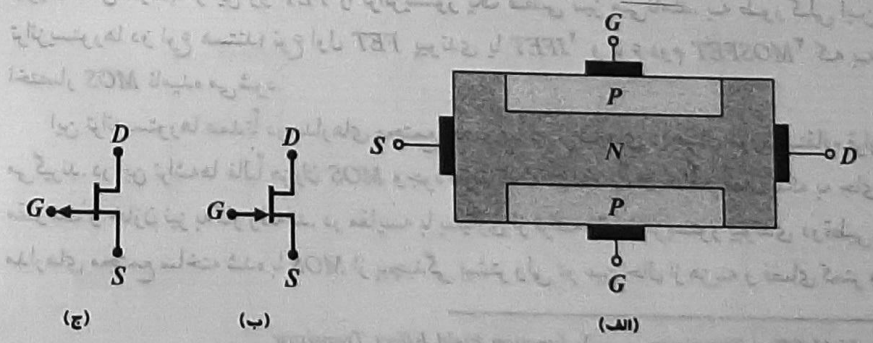
19:09 / 1:19:22
1x

فرایند تولید ساده‌تر برخوردار هستند. در همین راستا امروزه اکثریت تراشه‌های *VLSI* با استفاده از فن‌آوری *MOS* ساخته می‌شوند. البته سرعت کمتر *FET* در مقایسه با *BJT* را نمی‌توان نادیده گرفت. اما به هر حال، در کنترل صنعتی، ابزار الکترونیکی خودکار، الکترونیک نوری، مدارهای سوئیچینگ تلفنی و بسیاری کاربردهای مشابه دیگر، مسائل دیگری غیر از الکترونیک تعیین‌کننده سرعت بوده و مسأله اقتصادی بیشترین اهمیت را داراست. علاوه بر این امروزه با پیشرفت فن‌آوری، هر روزه *FET*های با سرعت بیشتر به بازار عرضه می‌شوند. در الکترونیک خطی (غیر دیجیتال) بعضی از ویژگیهای *FET* از جمله مقاومت ورودی زیاد و اغتشاش کم از اهمیت ویژه‌ای برخوردار است.

در این فصل ضمن آشنایی با ساختمان، طرزکار و مشخصه‌های *JFET* و *MOSFET*، مدارهای کاربردی آنها شامل تقویت‌کننده‌ها، کلیدها، منابع جریان، بار فعال و . . . را نیز مورد مطالعه قرار می‌دهیم.

۷-۱ ساختمان *JFET*

اساس ساختمان *JFET* در شکل ۷-۱-الف نشان داده شده است. همان‌طور که ملاحظه می‌شود دو قطعه بلور *P* یک لایه نوع *N* را در میان گرفته‌اند. لایه *N* در حقیقت یک کانال عبور الکترونها از سر سورس[1] (*S*) به طرف درین[2] (*D*) است. جریان در این کانال توسط میدان الکتریکی که از طریق سرهای گیت[3] (*G*) اِعمال می‌شود کنترل‌پذیر است. این *JFET* دارای کانال نوع *N* بوده و *NJFET* نام دارد. در ساختمان واقعی *NJFET* یک سر گیت بیشتر وجود ندارد و قسمتهای کانال و گیت بر روی یک قسمت پایه از نوع *P* به وجود آمده‌اند. در نوع *PJFET*، کانال از نوع *P* و قسمتهای گیت آن از نوع *N* می‌باشند. علامت مداری *JFET*های کانال *N* و *P* به ترتیب در شکلهای ۷-۱-ب و ۷-۱-ج نشان داده شده‌اند. در بعضی از مراجع سر پیکان‌دار مربوط به گیت در وسط ناحیه بین درین و سورس رسم می‌شود.



شکل ۷-۱: اساس ساختمان و علامت مداری *JFET*

1. *Source* 2. *Drain* 3. *Gate*

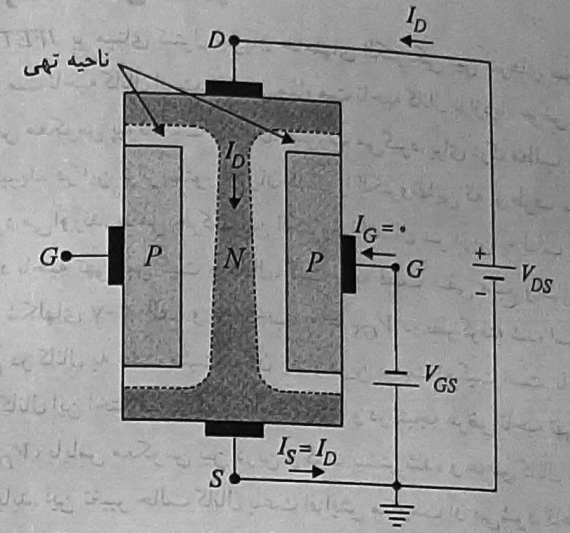
۷-۲ طرزکار و مشخصه‌های *JFET*

اساس کار *JFET* بر مبنای کنترل جریان حاملهای الکتریکی بین سرهای سورس و درین از طریق تغییر مقاومت ناحیه کانال است. افزایش مقاومت ناحیه کانال با ازدیاد عرض ناحیه تهی ایجاد شده توسط بایاس معکوس پیوند گیت و کانال، صورت می‌گیرد. برای درک مطلب یک *JFET* کانال *N* را در نظر بگیرید. در این ترانزیستور جریان کانال را الکترونهایی که از طرف سورس به درین می‌روند به وجود می‌آورند. عامل حرکت این الکترونها اتصال سر درین به قطب مثبت منبع ولتاژ است. برای ایجاد ناحیه تهی بین گیت و کانال، گیت را به قطب منفی منبع ولتاژ وصل می‌کنیم ($V_{GS} < 0$). در شکلهای ۷-۲-الف و ۷-۲-ب، $V_{GS} = 0$ در نظر گرفته شده است. در این حالت ایجاد ناحیه تهی در کانال به علت مثبت بودن ولتاژ درین نسبت به گیت است. با حرکت به سمت سورس در طول کانال این اختلاف پتانسیل کاهش یافته و در نتیجه عرض ناحیه تهی نیز کم می‌شود.

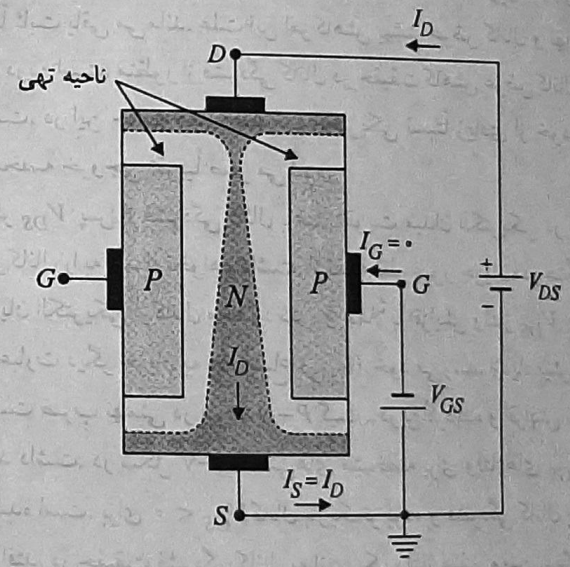
با افزایش V_{DS}، بایاس معکوس بین درین و گیت بیشتر شده و عرض کانال در نواحی نزدیک درین کاهش می‌یابد. این تغییر حالت کانال باعث افزایش مقاومت آن می‌شود. کاهش شیب منحنی مشخصه مربوط به $V_{GS} = 0$ در شکل ۷-۳ به علت همین افزایش مقاومت بین درین و سورس است. در شکل ۷-۳ ملاحظه می‌کنیم که هنگامی که منحنی به نقطه *A* می‌رسد جریان I_D با افزایش ولتاژ V_{DS} تقریباً ثابت باقی می‌ماند. علت این امر کاهش بیشتر عرض کانال و نهایتاً فشردگی کانال در نزدیکی ناحیه درین است. منظور از فشردگی کانال در حقیقت کاهش عرض کانال تا مرز نزدیک به بسته شدن آن است. در این حالت کانال مقاومت الکتریکی نسبتاً زیادی از خود نشان می‌دهد و شیب منحنی مشخصه خروجی تقریباً صفر می‌شود.

افزایش بیشتر V_{DS} پس از فشردگی کانال باعث تقویت میدان الکتریکی در ناحیه تهی شده و تنگتر شدن بیشتر کانال را به همراه نخواهد داشت. از نقطه نظر عبور جریان، در هنگام فشردگی کانال ظرفیت عبور جریان الکتریکی از کانال محدود شده و عملاً با افزایش ولتاژ V_{DS} عبور جریان بیشتر ممکن نیست. به عبارت دیگر جریان به حد اشباع (I_{DSS}) خود می‌رسد. ازدیاد بیش از حد ولتاژ V_{DS} باعث ایجاد شکست ضرب بهمنی در پیوند $P-N$ گیت ـ درین گردیده و افزایش ناگهانی جریان I_D را به همراه خواهد داشت. در شکل ۷-۳ منحنی‌های مشخصه برای ولتاژهای V_{GS} از صفر تا ۴- ولت نشان داده شده است. برای $V_{GS} < 0$ کانال باریک‌تر بوده و فشردگی کانال به ازای ولتاژ V_{DS} کمتری اتفاق می‌افتد. در حقیقت فشردگی کانال به ازای یک ولتاژ منفی معین V_{GD} موسوم به **ولتاژ فشردگی** (V_P) اتفاق می‌افتد. بنابراین با منفی شدن V_{GS} ولتاژ V_{DS} مربوط به فشردگی کاهش می‌یابد ($V_{DS} = (V_{GS} - V_{GD})$. مکان نقاط $V_{GD} = V_P$ در شکل ۷-۳ توسط منحنی خط‌چین مشخص شده است. این منحنی **مکان فشردگی** نام دارد. مکان فشردگی منحنی $V_{GS} = -4V$ را در

PDF-XChange
Click to buy NOW!
www.tracker-software.com

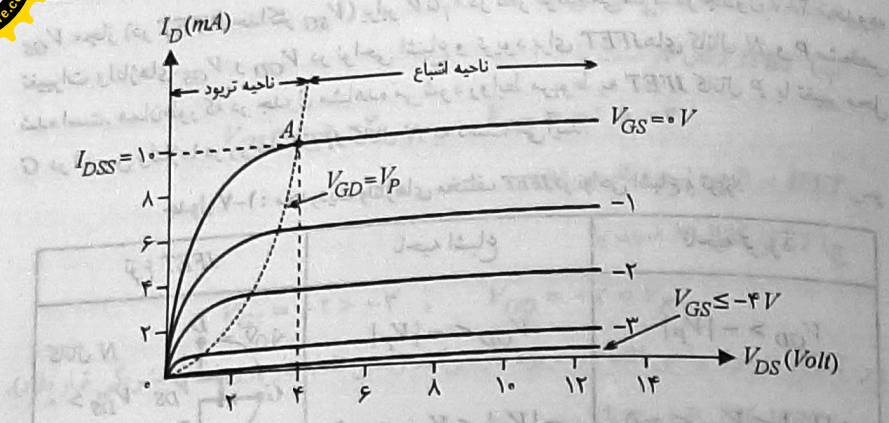


الف) ایجاد ناحیه تهی متقارن به علت بایاس معکوس بین کانال و گیت و V_{DS} کوچک



ب) فشردگی در کانال در نواحی اطراف درین به علت افزایش ولتاژ V_{DS}

شکل ۷-۲: نحوه عملکرد یک *NJFET*



شکل ۷-۳: مشخصه خروجی یک *NJFET*

مبدأ قطع می‌کند. برای این *JFET*، $-V_P = 4\,V$ است و به ازای $V_{GS} = -4\,V$ تقریباً هیچ‌گونه جریانی از کانال نمی‌گذرد. در این حالت فشردگی حالت نقطه‌ای ندارد بلکه در سراسر کانال پیش رفته و راه برای عبور هر گونه جریانی بسته شده است. به عبارت دیگر فشردگی کامل ایجاد شده است که اصطلاحاً می‌گویند *JFET* در وضعیت قطع قرار گرفته است.

بر روی مشخصه *JFET*، ناحیه بالای منحنی $V_{GS} = V_P$ و سمت راست مکان فشردگی را ناحیه اشباع یا فعال گویند. توجه کنید بر خلاف ترانزیستور پیوندی که در آن نواحی اشباع و فعال دو ناحیه جداگانه‌اند، در *JFET* این دو ناحیه یکی هستند. ناحیه اشباع در واقع ناحیه خطی کار *JFET* است. ناحیه سمت چپ مکان فشردگی ناحیه اهمیک[1] یا تریود[2] نام دارد. در این کتاب برای دو ناحیه مذکور به ترتیب عناوین اشباع و تریود را استفاده خواهیم کرد.

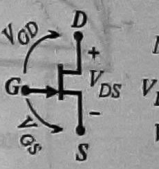
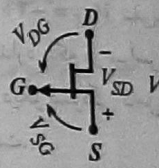
همان‌طور که ملاحظه شد در *NJFET*، $I_D = I_{DS} \ge 0$، $V_{DS} \ge 0$ و $V_P < 0$ است. در *PJFET*، حاملهای اکثریت حفره‌ها هستند که از سورس به درین می‌روند و بنابراین $I_{SD} \ge 0$، $V_{SD} \ge 0$ و $V_P > 0$ است.

یکی از خصوصیات مهم *JFET* در فرکانسهای پایین، مقاومت ورودی بزرگ آن از سر گیت است. این مقاومت زیاد در حقیقت از آنجا ناشی می‌شود که پیوند $P-N$ گیت ـ کانال در همه کاربردهای *JFET* به صورت معکوس بایاس شده و از آن تنها جریان اشباع معکوس عبور می‌کند. جریان گیت این ترانزیستور بسیار ناچیز است و در عمل آن را صفر فرض می‌کنند. چنانچه پیوند $P-N$ مذکور به صورت مستقیم بایاس شود نه تنها کار *JFET* دچار اختلال خواهد شد بلکه به علت افزایش جریان مستقیم گیت ـ کانال، *JFET* در معرض سوختن قرار می‌گیرد. عملاً حداکثر

1. *Ohmic* 2. *Triode*

V_{GS} مجاز (در PJFET حداکثر V_{SG}) برابر $0.5V$ در نظر گرفته می‌شود. در جدول ۷-۱ محدوده تغییرات ولتاژهای V_{GS} و V_{GD} در نواحی اشباع و تریود برای JFETهای کانال N و P مشخص شده است. همان‌طور که در جدول مشاهده می‌شود روابط مربوط به JFET کانال P با تغییر محل G در اندیس ولتاژها در روابط JFET کانال N به دست می‌آیند.

جدول ۷-۱: محدودیت ولتاژهای مختلف JFET در نواحی اشباع و تریود

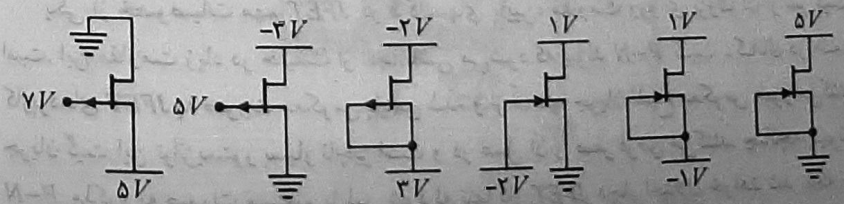
نوع JFET	ناحیه اشباع	ناحیه تریود
کانال N  $V_{DS} > 0$ $V_P < 0$	$V_{GD} < -\lvert V_P \rvert$ $-\lvert V_P \rvert < V_{GS} < 0.5$	$V_{GD} > -\lvert V_P \rvert$ $-\lvert V_P \rvert < V_{GS} < 0.5$
کانال P  $V_{SD} > 0$ $V_P > 0$	$V_{DG} < -\lvert V_P \rvert$ $-\lvert V_P \rvert < V_{SG} < 0.5$	$V_{DG} > -\lvert V_P \rvert$ $-\lvert V_P \rvert < V_{SG} < 0.5$

مثال ۷-۱: در هر یک از مدارهای شکل ۷-۴، مشخص کنید JFET در چه ناحیه‌ای کار می‌کند $(|V_P| = 3V)$.

حل:

الف) JFET کانال N است با

$$V_{GD} = -5 < -3 \quad , \quad V_{GS} = 0 > -3$$



شکل ۷-۴: مدارهای مثال ۷-۱

پس JFET در ناحیه اشباع کار می‌کند.

ب) JFET کانال N است با

$$V_{GD} = -2 > -3 \quad , \quad V_{GS} = 0 > -3$$

پس JFET در ناحیه تریود کار می‌کند.

ج) JFET کانال N است با

$$V_{GD} = -3 = V_P \quad , \quad V_{GS} = -2 > -3$$

پس JFET در مرز نواحی اشباع و تریود کار می‌کند (یعنی نقطه کار روی مکان فشردگی قرار دارد).

د) JFET کانال P است با

$$V_{DG} = -5 < -3 \quad , \quad V_{SG} = 0 > -3$$

پس JFET در ناحیه اشباع کار می‌کند.

ه) JFET کانال P است با

$$V_{DG} = -8 < -3 \quad , \quad V_{SG} = -5 < -3$$

پس JFET در ناحیه قطع کار می‌کند.

و) JFET کانال P است با

$$V_{DG} = -7 < -3 \quad , \quad V_{SG} = -2 > -3$$

پس JFET در ناحیه اشباع کار می‌کند.

■

معادلات جریان درین

با توجه به منحنی‌های مشخصه JFET در ناحیه اشباع، جریان i_D تقریباً تنها تابع v_{GS} بوده و با تغییر v_{DS} تغییرات قابل ملاحظه‌ای ندارد. تغییرات جریان i_D برحسب v_{GS} در ناحیه اشباع را می‌توان توسط رابطه زیر موسوم به معادله شاکلی[1] بیان نمود:

$$i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_P}\right)^2 \qquad (۷-۱)$$

1. Shockley

PDF-XChange
Click to buy NOW!
www.tracker-software.com

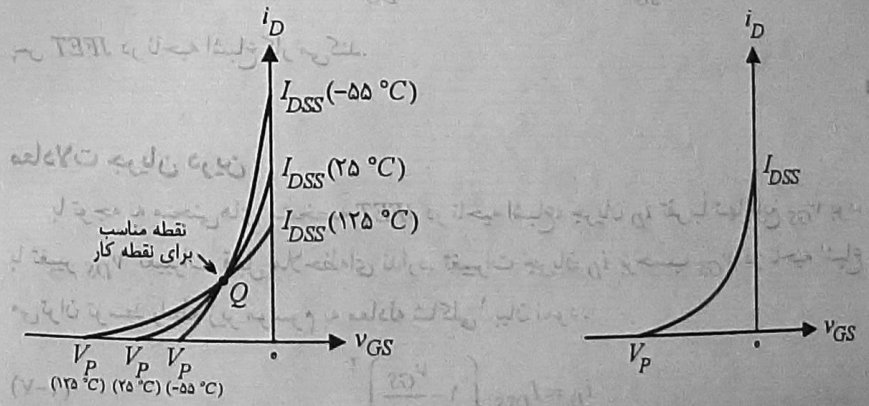
... این معادله از تغییرات جریان درین در ناحیه اشباع صرف‌نظر شده است. معادله مذکور برای هر دو نوع JFET کانال N و P صادق است. در این معادله I_{DSS} جریان اشباع درین - سورس به ازای $v_{GS} = 0$ است. در شکل ۷-۵-الف منحنی معادله مذکور در صفحه (v_{GS}, i_D) رسم شده است. از آنجا که در JFET، v_{GS} ولتاژ ورودی و i_D جریان خروجی است، این منحنی را مشخصه انتقالی JFET می‌نامند. برای JFET کانال P منحنی مشخصه به همین شکل باقی خواهد ماند مشروط بر اینکه محور افقی را به v_{SG} تبدیل کنیم.

در شکل ۷-۵-ب اثر تغییر دما بر منحنی‌های مشخصه انتقالی نشان داده شده است. در حقیقت پارامترهای I_{DSS} و V_P تابع دما هستند. بررسیهای نظری نشان می‌دهد که V_P علاوه بر ابعاد هندسی کانال به اختلاف پتانسیل تماس $(V_\circ)$ مربوط به پیوند $P-N$ گیت - کانال نیز بستگی دارد. این وابستگی به گونه‌ای است که تغییرات V_P نسبت به دما برابر و در خلاف جهت تغییرات $V_\circ$ نسبت به دماست.

$$\frac{dV_\circ}{dT} = \frac{d|V_P|}{dT} = k \qquad k = ۲/۵\, mV/°C$$

از طرف دیگر I_{DSS} به ابعاد کانال، ضریب رسانایی کانال و پارامتر V_P بستگی دارد. این وابستگی به نحوی است که I_{DSS} با افزایش دما کاهش می‌یابد $(I_{DSS} \propto T^{-۳/۲})$. به عبارت دیگر تغییرات حرارتی I_{DSS} و V_P در جهت مخالف یکدیگر تأثیر نموده و منحنی‌های مشخصه انتقالی در یک نقطه همدیگر را قطع می‌کنند. این نقطه که در آن ضریب حرارتی صفر است، در واقع مناسبترین نقطه کار برای JFET می‌باشد.

به طور کلی در JFET برای جلوگیری از تغییر نقطه کار با دما، اولاً از JEFTهای با $|V_P|$ بزرگ استفاده می‌نمایند تا تغییرات نسبی حرارتی آن قابل توجه نباشد، ثانیاً سعی می‌شود نقطه کار در



ب) اثر تغییر دما در ملحنی مشخصه انتقالی

الف) ملحنی مشخصه انتقالی

شکل ۷-۵: مشخصه انتقالی JFET

محل تلاقی مشخصه‌های انتقالی (نقطه Q) انتخاب شود. محل این نقطه را می‌توان از طریق آزمایش یا با مراجعه به کتابهای اطلاعات مربوط به JFET مشخص نمود.

در ناحیه تریود برخلاف ناحیه اشباع، جریان i_D نسبت به تغییر v_{DS} حساس است. مطالعات نظری و نتایج تجربی نشان می‌دهند که در این ناحیه معادله جریان i_D به صورت زیر است:

$$i_D = I_{DSS}\left[۲\left(\frac{v_{GS}}{V_P} - ۱\right)\frac{v_{DS}}{V_P} - \left(\frac{v_{DS}}{V_P}\right)^۲\right] \qquad (۷-۲)$$

در ولتاژهای v_{DS} کوچک می‌توان از جمله درجه دوم صرف‌نظر نمود. در این محدوده از مشخصه، جریان i_D با ولتاژ v_{DS} متناسب شده و منحنی‌ها به خطوط راست گذرنده از مبدأ تبدیل می‌شوند. شیب این خطها بیان کننده عکس مقاومت بین درین و سورس (r_{DS}) است.

$$r_{DS} = \left.\frac{v_{DS}}{i_D}\right|_{V_{DS}} = \left[\frac{۲I_{DSS}}{V_P}\left(\frac{V_{GS}}{V_P} - ۱\right)\right]^{-۱} \qquad (۷-۳)$$

بدین ترتیب مقاومت r_{DS} یک مقاومت متغیر با ولتاژ (VVR)[1] خواهد بود که می‌توان با تغییر ولتاژ v_{GS} مقدار آن را کنترل نمود.

در مرز نواحی اشباع و تریود $v_{GD} = V_P$ است. بنابراین

$$v_{GS} = v_{GD} + v_{DS} = V_P + v_{DS} \qquad (۷-۴)$$

با جایگزینی در رابطه ۷-۲ معادله زیر برای مکان فشردگی به دست می‌آید:

$$i_D = I_{DSS}\left(\frac{v_{DS}}{V_P}\right)^۲ \qquad (۷-۵)$$

در شکل ۷-۳ این مکان به صورت خط چین نشان داده شده است.

۷-۳ مدارهای بایاس JFET

از نکات مهمی که در طراحی بایاس JFET در مدارهای تقویت‌کننده خطی باید در نظر داشت یکی قرار گرفتن نقطه کار در وسط ناحیه اشباع به منظور افزایش حداکثر دامنه نوسان خروجی و دیگری پایداری نقطه کار در برابر تغییر دما و نیز تغییر پارامترهاست.

به علت خطی نبودن مشخصه خروجی و اینکه در ناحیه اشباع i_D تابع خطی v_{GS} نیست، از JFET در طراحی تقویت‌کننده‌های خطی سیگنال بزرگ نمی‌توان استفاده نمود. کاربرد این ترانزیستور عمدتاً به عنوان طبقه ورودی در تقویت‌کننده‌های فرکانس پایین، به دلیل مقاومت ورودی زیادی که دارد، متداول است.

1. *Voltage Variable Resistor*

PDF-XChange
Click to buy NOW!
www.tracker-software.com

مشکل پایداری نقطه کار تا آنجا که به تغییرات حرارتی پارامترها ارتباط دارد با انتخاب نقطه کار در محل مناسبی از مشخصه انتقالی که حساسیت حرارتی آن نزدیک صفر است تا حد قابل قبولی برطرف می‌شود. اما مشخص نبودن پارامترهای هر ترانزیستور به طور دقیق و نیز تغییر آنها با تعویض یک ترانزیستور (حتی با نوع مشابه خودش) نکته دیگری است که باید در طراحی مدار بایاس به آن توجه نمود.

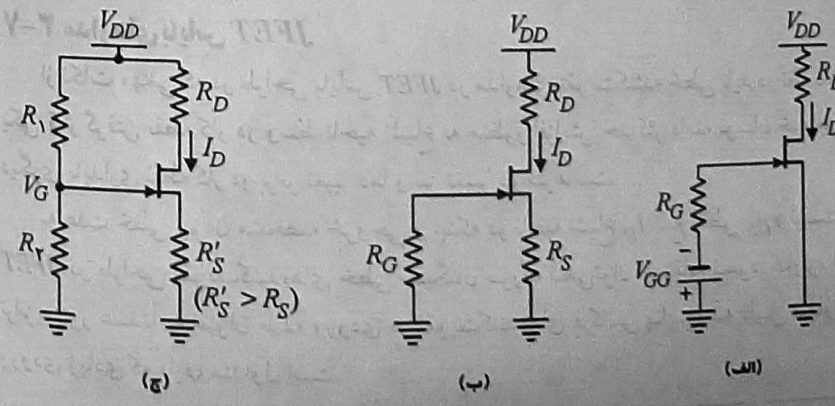
در شکل ۷-۶ سه مدار پیشنهادی برای بایاس *JFET* ارائه شده است. در مدار ۷-۶-الف بایاس V_{GS} توسط منبع ولتاژ V_{GG} تأمین می‌شود. از آنجا که جریان گیت (I_G) برابر صفر است ولتاژ V_{GS} برابر $-V_{GG}$ خواهد شد. خط بار L_1 در شکل ۷-۷ مربوط به این مدار است. در *JFET* خط بار را در صفحه مختصات مشخصه انتقالی رسم می‌کنند. معادله خط L_1 در واقع همان $V_{GS} = -V_{GG}$ است. فرض کنید در اینجا منظور ایجاد نقطه کار در محل Q باشد. خط بار L_2 مربوط به مدار شکل ۷-۶-ب نیز از نقطه Q می‌گذرد. معادله این خط بار با نوشتن معادله *KVL* در حلقه سورس ـ گیت به صورت زیر به دست می‌آید:

$$R_G I_G + V_{GS} + R_S I_D = 0 \qquad (۷-۶)$$

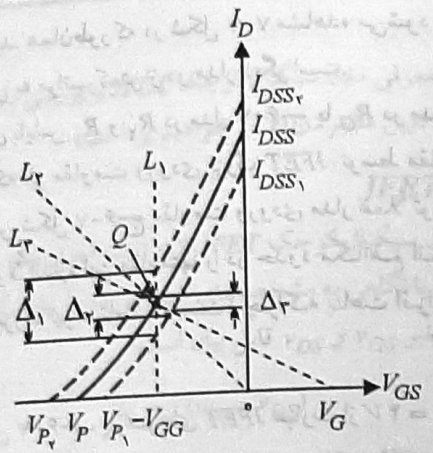
و با جایگزینی $I_G = 0$ خواهیم داشت

$$V_{GS} = -R_S I_D \qquad (۷-۷)$$

در مدار شکل ۷-۶-ج که به مدار خود بایاس مشهور است ولتاژ گیت از تقسیم ولتاژ V_{DD} توسط مقاومتهای R_1 و R_2 تأمین می‌شود (توجه کنید $I_G = 0$ است). در این شکل بر اساس معادله *KVL* در حلقه شامل V_{GS} می‌توان نوشت



شکل ۷-۶: مدارهای مختلف بایاس *JFET*



شکل ۷-۷: مشخصه انتقالی و خط بارهای مربوط به مدارهای بایاس شکل ۷-۶

$$-V_G + V_{GS} + R'_S I_D = 0 \qquad (۷-۸)$$

یا

$$V_{GS} = V_G - R'_S I_D \qquad (۷-۹)$$

رابطه ۷-۹ در واقع معادله خط بار L_3 است. این خط بار نیز از نقطه Q مورد نظر می‌گذرد. از مقایسه مدارهای بایاس مذکور نتایج زیر حاصل می‌شود:

مدار ۷-۶-الف به دلیل استفاده از یک منبع ولتاژ اضافی به هیچ وجه مطلوب نیست. همچنین این طرح از پایداری مناسبی نیز برخوردار نیست. برای روشن شدن این مطلب فرض کنید پارامترهای V_P و I_{DSS} به ترتیب بین مقادیر V_{P_1} تا V_{P_2} و I_{DSS_1} تا I_{DSS_2} تغییر کنند. در این صورت به جای منحنی مشخصه وسطی در شکل ۷-۷ مشخصه‌های (۱) و (۲) را خواهیم داشت. در این حالت تغییر جریان I_D برای مدار بایاس ۷-۶-الف مطابق شکل به اندازه Δ_1 و تقریباً غیر قابل قبول است.

در مدار ۷-۶-ب شیب خط بار L_2 توسط R_S قابل تغییر است. ولی چنانچه بخواهیم با انتخاب R_S بزرگتر، میزان انحراف Δ_2 در جریان I_D را کاهش دهیم، نقطه کار از محل Q جابه‌جا خواهد شد. در هر صورت این مدار در مقایسه با مدار ۷-۶-الف از وضعیت بهتری برخوردار بوده و نقطه کار آن پایدارتر است.

مدار ۷-۶-ج در حقیقت کاملترین مدار بایاس *JFET* است. در این مدار با انتخاب مناسب مقادیر R_1، R_2 و R'_S $(R'_S > R_S)$ خط بار L_3 از نقطه Q گذشته و ضمناً میزان انحراف Δ_3 نیز در

حد مطلوبی کاهش می‌یابد. همان‌طور که در شکل ۷-۷ مشاهده می‌شود میزان انحراف جریان Δ_3 مربوط به مدار خود بایاس به مراتب کمتر از دو مدار دیگر است.

در انتخاب مقاومتهای بایاس R_1 و R_2 در مدار ۷-۶-ج یا R_G در مدار ۷-۶-ب، توجه به این نکته مهم ضروری است که اثر مقاومت ورودی بزرگ $JFET$ توسط مقاومتهای بایاس کوچک خنثی نشود. در مدار بایاس شکل ۷-۶-ج مقاومت ورودی مدار عملاً توسط ترکیب موازی R_1 و R_2 تعیین می‌شود. معمولاً اندازه این مقاومتها را در حدود مگااهم انتخاب می‌کنند. انتخاب مقاومتهای بایاس خیلی بزرگ نیز مناسب نیست؛ چراکه باعث افزایش اغتشاش در ورودی تقویت‌کننده خواهد شد.

مثال ۷-۲: در مدار شکل ۷-۶-ب پارامترهای $JFET$ عبارت از $|V_P| = 4V$ و $I_{DSS} = 16mA$ هستند. با فرض $R_S = 1K\Omega$، $R_D = 4K\Omega$ و $V_{DD} = 20V$ مقادیر I_D و V_{DS} نقطه کار را محاسبه کنید.

حل:

با استفاده از رابطه ۷-۷ داریم

$$V_{GS} = -R_S I_D = -I_D \qquad (۷-۶)$$

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 = 16\left(1 - \frac{-I_D}{-4}\right)^2$$

از حل معادله درجه دوم فوق برای I_D دو مقدار ۲٫۴۴ و ۶٫۵۶ به دست می‌آید که تنها $I_D = 2{,}44mA$ می‌تواند پاسخ صحیح باشد. زیرا V_{GS} حاصل از آن از V_P بزرگتر خواهد شد. پس

$$I_{DQ} = 2{,}44\,mA$$

با نوشتن معادله KVL در حلقه درین ـ سورس داریم

$$V_{DSQ} = V_{DD} - I_{DQ}(R_S + R_D) = 20 - 2{,}44(1+4) = 7{,}8V$$

■

۷-۴ تقویت‌کننده‌های $JFET$ در فرکانسهای پایین

تقویت‌کننده‌های $JFET$، به علت مقاومت ورودی بزرگ این ترانزیستورها، عمدتاً در طبقه ورودی تقویت‌کننده‌های چندطبقه مورد استفاده قرار می‌گیرند. به کارگیری این تقویت‌کننده‌ها در طبقات بعدی، اولاً به خاطر بهره ولتاژ پایین و ثانیاً به دلیل غیرخطی بودن مشخصه انتقالی متداول

نیست.

در این بخش پس از معرفی مدل سیگنال کوچک $JFET$ به بررسی پارامترهای تقویت‌کننده‌های سورس مشترک (CS) و درین مشترک (CD) خواهیم پرداخت.

مدل سیگنال کوچک $JFET$

برای دستیابی به مدل سیگنال کوچک $JFET$ لازم است ابتدا رابطه جریان درین (i_d) با ولتاژ ورودی (v_{gs}) را پیداکنیم. با نگاهی به مشخصه‌های خروجی در می‌یابیم که جریان i_D در حقیقت به صورت یک تابع از دو متغیر v_{GS} و v_{DS} قابل بیان است.

$$i_D = f(v_{GS}, v_{DS}) \qquad (۷-۱۰)$$

با گرفتن دیفرانسیل از تابع مذکور خواهیم داشت

$$\Delta i_D \cong \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{V_{DSQ}} \Delta v_{GS} + \left.\frac{\partial i_D}{\partial v_{DS}}\right|_{V_{GSQ}} \Delta v_{DS} \qquad (۷-۱۱)$$

اکنون دو پارامتر مهم سیگنال کوچک $JFET$، یعنی هدایت انتقالی (g_m) و مقاومت دینامیکی درین (r_d) را به صورت زیر تعریف می‌کنیم:

$$g_m = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{V_{DSQ}} \cong \left.\frac{\Delta i_D}{\Delta v_{GS}}\right|_{V_{DSQ}} \qquad (۷-۱۲)$$

$$r_d = \left.\frac{\partial v_{DS}}{\partial i_D}\right|_{V_{GSQ}} \cong \left.\frac{\Delta v_{DS}}{\Delta i_D}\right|_{V_{GSQ}} \qquad (۷-۱۳)$$

V_{DSQ} و V_{GSQ} مورد اشاره در روابط مذکور مختصات نقطه کار ترانزیستور هستند و تغییرات کمیتها در اطراف نقطه کار، مقادیر سیگنال کوچک کمیتهای مربوط را مشخص می‌نمایند. بنابراین رابطه ۷-۱۱ را می‌توان به شکل زیر نوشت:

$$i_d = g_m v_{gs} + \frac{1}{r_d} v_{ds} \qquad (۷-۱۴)$$

مقدار پارامتر g_m معمولاً بین ۰٫۱ mA/V تا ۱۰۰ mA/V و پارامتر r_d برای ترانزیستورهای مختلف در محدوده ۱۰۰ $K\Omega$ تا ۱ $M\Omega$ تغییر می‌کند. پارامتر g_m را می‌توان با استفاده از معادله شاکلی برحسب پارامترهای I_{DSS} و V_P به دست آورد.

$$g_m = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{V_{DSQ}} = \frac{-2I_{DSS}}{V_P}\left(1 - \frac{V_{GSQ}}{V_P}\right) \qquad (۷-۱۵)$$

نظر به اینکه I_{DSS} مثبت بوده و V_P برای $JFET$ کانال N منفی و برای کانال P مثبت است، رابطه ۷-۱۵ را می‌توان به صورت کلی زیر بیان نمود:

$$g_m = ۲\left|\frac{I_{DSS}}{V_P}\right|\left(۱-\frac{V_{GSQ}}{V_P}\right) = g_{m_0}\sqrt{I_D/I_{DSS}} \qquad (۱۶-۷)$$

که در آن g_{m_0} برابر $۲|I_{DSS}/V_P|$ تعریف شده است. ملاحظه می‌شود که پارامتر g_m تابع جریان I_D نقطه کار است. همچنین وابستگی g_m به V_P و I_{DSS} به نحوی است که با افزایش دما مقدار این پارامتر کاهش می‌یابد.

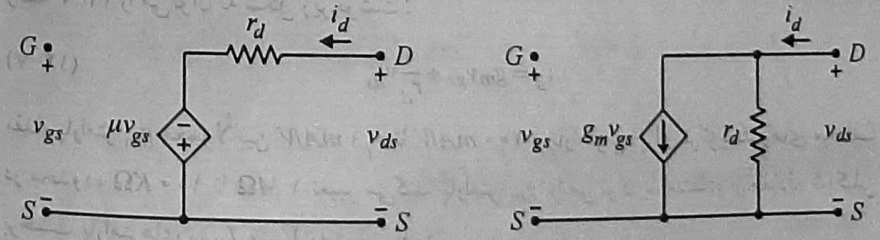
پارامتر مهم دیگر سیگنال کوچک $JFET$، بهره ولتاژ (μ) بوده و به صورت زیر بیان می‌شود:

$$\mu = \left.\frac{-\partial v_{DS}}{\partial v_{GS}}\right|_{I_{DQ}} \cong \left.\frac{-\Delta v_{DS}}{\Delta v_{GS}}\right|_{I_{DQ}} = \left.\frac{-v_{ds}}{v_{gs}}\right|_{i_d=۰} \qquad (۱۷-۷)$$

با توجه به تعریف فوق و با استفاده از معادله ۷-۱۴ پارامتر μ برحسب دو پارامتر دیگر g_m و r_d به دست می‌آید. کافی است در معادله ۷-۱۴ مقدار i_d را مساوی صفر قرار داده و نسبت $-\frac{v_{ds}}{v_{gs}}$ را پیدا کنیم.

$$\mu = \left.\frac{-v_{ds}}{v_{gs}}\right|_{i_d=۰} = g_m r_d \qquad (۱۸-۷)$$

برای رسیدن به مدل سیگنال کوچک $JFET$، باید معادله ۷-۱۴ را مدنظر قرار داد. این معادله در واقع بیان قانون KCL در گره درین است. با این نقطه نظر مدار معادل سیگنال کوچک $JFET$ را می‌توان به صورت شکل ۷-۸-الف نمایش داد. در شکل ۷-۸-ب نمایش دیگری از مدل سیگنال کوچک (با تبدیل معادل نورتن به معادل تونن در شکل ۷-۸-الف) نشان داده شده است. مدلهای مذکور تنها در فرکانسهای پایین مفید هستند. در فرکانسهای بالا خازنهای بین گیت-درین، گیت-سورس و درین-سورس نیز وارد عمل می‌شوند که بحث آنها در اینجا مورد نظر نیست.



شکل ۷-۸: مدل سیگنال کوچک $JFET$ در فرکانسهای پایین

تقویت‌کننده سورس مشترک

مدار تقویت‌کننده سورس مشترک در شکل ۷-۹-الف نشان داده شده است. در این شکل خازن کنارگذر C_b مقاومت R_S را از دید سیگنال حذف می‌کند. از نظر DC وجود این مقاومت برای تأمین ولتاژ بایاس V_{GS} ضروری است. شکل ۷-۹-ب مدار معادل سیگنال کوچک این تقویت‌کننده است. با استفاده از این شکل به محاسبه کمیتهای A_V، R_o و R_i می‌پردازیم.

محاسبه A_V: محاسبه بهره ولتاژ با استفاده از مدار معادل شکل ۷-۹-ب بسیار ساده است.

$$v_o = -i_d R_D = -\left(g_m v_{gs} + \frac{v_o}{r_d}\right) R_D$$

یا

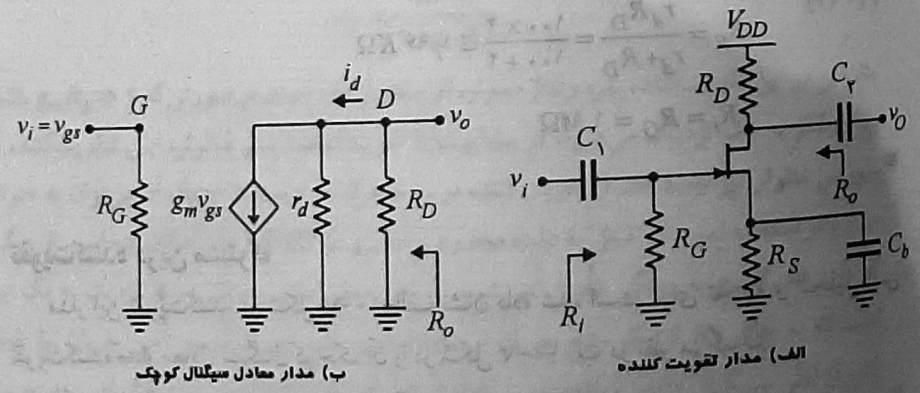
$$v_o\left(۱+\frac{R_D}{r_d}\right) = -g_m v_{gs} R_D \qquad (۱۹-۷)$$

با توجه به $v_i = v_{gs}$ و رابطه ۷-۱۹ خواهیم داشت

$$A_V = \frac{v_o}{v_i} = \frac{v_o}{v_{gs}} = \frac{-g_m r_d R_D}{R_D + r_d} = \frac{-\mu R_D}{R_D + r_d} \qquad (۲۰-۷)$$

بهره ولتاژ این تقویت‌کننده همواره منفی است. به عبارت دیگر سیگنال درین به اندازه ۱۸۰° با سیگنال گیت اختلاف فاز دارد.

محاسبه R_o: برای محاسبه مقاومت خروجی، منبع سیگنال ورودی را اتصال کوتاه می‌کنیم. در این حالت منبع جریان کنترل شده $g_m v_{gs}$ برابر صفر می‌شود (مدار باز). بنابراین برای مقاومت خروجی تقویت‌کننده داریم



شکل ۷-۹: تقویت‌کننده سورس مشترک

$$R_o = r_d \| R_D = \frac{r_d R_D}{r_D + R_D} \qquad (۲۱-۷)$$

در صورتی که $R_D \ll r_d$ باشد، $R_o \cong R_D$ خواهد شد.

محاسبه R_i: مقاومت ورودی این تقویت‌کننده برابر R_G است. به همین دلیل این مقاومت را معمولاً بزرگ انتخاب می‌کنند تا اثر مقاومت ورودی ذاتاً بزرگ *JFET* خنثی نشود.

مثال ۷-۳: در مدار تقویت‌کننده شکل ۷-۹-الف، با فرض $R_G = ۱\,M\Omega$، $R_S = ۵۰۰\,\Omega$، $R_D = ۲\,K\Omega$، $V_{DD} = ۱۶\,V$، $r_d = ۱۰۰\,K\Omega$، $|V_P| = ۴\,V$ و $I_{DSS} = ۱۶\,mA$، بهره ولتاژ و مقاومتهای ورودی و خروجی تقویت‌کننده را محاسبه نمایید.

حل:

برای محاسبه A_V باید g_m محاسبه شود. بنابراین ابتدا باید نقطه کار ترانزیستور به دست آید.

$$V_{GS} = -R_S I_D$$

$$I_D = I_{DSS}\left(۱ - \frac{V_{GS}}{V_P}\right)^۲ = ۱۶\left(۱ - \frac{-۰/۵ I_D}{-۴}\right)^۲$$

از حل معادله مذکور $I_D = ۴\,mA$ به دست می‌آید. جواب دیگر $۱۶\,mA$ قابل قبول نیست. (چرا؟)

$$g_m = ۲\left|\frac{I_{DSS}}{V_P}\right|\sqrt{I_D/I_{DSS}} = ۲ \times \frac{۱۶}{۴} \times \sqrt{۴/۱۶} = ۴\,mA/V$$

$$A_V = \frac{-g_m r_d R_D}{R_D + r_d} = \frac{-۴ \times ۱۰۰ \times ۲}{۲ + ۱۰۰} \cong -۷/۸۴$$

$$R_o = \frac{r_d R_D}{r_d + R_D} = \frac{۱۰۰ \times ۲}{۱۰۰ + ۲} \cong ۱/۹۶\,K\Omega$$

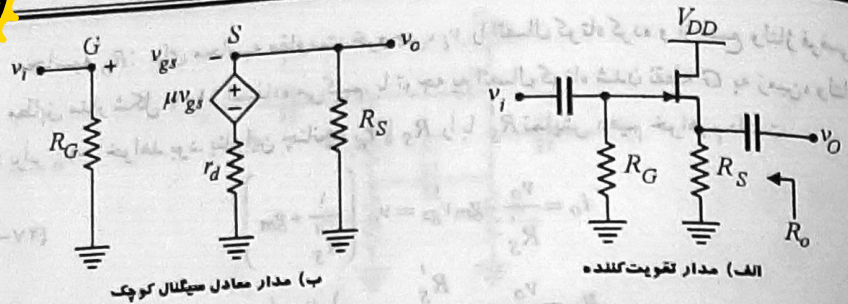
$$R_i = R_G = ۱\,M\Omega$$

■

تقویت‌کننده درین مشترک

مدار این تقویت‌کننده در شکل ۷-۱۰-الف نشان داده شده است. برای تجزیه و تحلیل این تقویت‌کننده مدار معادل سیگنال کوچک آن را در شکل ۷-۱۰-ب در نظر می‌گیریم.

محاسبه A_V: ابتدا با نوشتن معادله *KVL* در حلقه شامل R_S و r_d ولتاژ v_o را برحسب v_{gs} به دست می‌آوریم.



شکل ۷-۱۰: تقویت‌کننده درین مشترک

$$v_o = \frac{\mu v_{gs}}{R_S + r_d} R_S \qquad (۲۲-۷)$$

اما ورودی را به گیت داده و خروجی از سر سورس گرفته شده است، در نتیجه

$$v_{gs} = v_i - v_o \qquad (۲۳-۷)$$

v_{gs} فوق را در رابطه ۷-۲۲ جایگزین می‌کنیم

$$v_o = \frac{\mu R_S}{R_S + r_d}(v_i - v_o) \qquad (۲۴-۷)$$

از رابطه اخیر A_V محاسبه می‌شود.

$$A_V = \frac{v_o}{v_i} = \frac{\mu R_S}{r_d + (\mu + ۱) R_S} \qquad (۲۵-۷)$$

در صورتی که $\mu = g_m r_d \gg ۱$ باشد، رابطه ۷-۲۵ را می‌توان به صورت زیر نوشت:

$$A_V = \frac{g_m R_S}{۱ + g_m R_S} \qquad (۲۶-۷)$$

بنابراین در این تقویت‌کننده بهره ولتاژ همواره کوچکتر از یک است. در صورتی که $g_m R_S \gg ۱$ باشد بهره ولتاژ به یک نزدیک می‌شود. در مشابهت با تقویت‌کننده امیتر فالوئر، این تقویت‌کننده را **سورس فالوئر** نیز نامیده‌اند. از تقویت‌کننده درین مشترک در وضعیت ایده‌آل آن می‌توان به عنوان مدار بافر استفاده نمود. در عمل به علت محدود بودن g_m در *JFET* و عدم امکان انتخاب R_S بزرگ، شرط $g_m R_S \gg ۱$ به سادگی تأمین نمی‌شود. راه حل عملی برای رسیدن به A_V نزدیک به یک این است که به جای R_S از یک منبع جریان استفاده نماییم. منبع جریان ضمن تأمین جریان I_D نقطه کار، از نظر سیگنال دارای مقاومت بی‌نهایت (حالت ایده‌آل) است. در بخشهای بعد چنین تقویت‌کننده‌ای را مورد بررسی قرار می‌دهیم.

محاسبه R_o: برای محاسبه مقاومت خروجی، v_i را اتصال کوتاه کرده و از منبع ولتاژ فرضی v_o مطابق مدار شکل ۷-۱۱ استفاده می‌کنیم. با توجه به اتصال کوتاه شدن نقطه G به زمین، ولتاژ v_{gs} برابر $-v_o$ خواهد بود. بنابراین چنانچه $R_S \parallel r_d$ را با R'_S نمایش دهیم خواهیم داشت

$$i_o = \frac{v_o}{R'_S} - g_m v_{gs} = v_o \left(\frac{1}{R'_S} + g_m \right) \qquad (۲۷-۷)$$

$$R_o = \frac{v_o}{i_o} = \frac{R'_S}{1 + g_m R'_S} = \frac{1}{g_m} \parallel R'_S \qquad (۲۸-۷)$$

در صورتی که $R'_S \gg 1$ باشد، $R_o = 1/g_m$ خواهد شد.

محاسبه R_i: با توجه به شکل ۷-۱۰-ب مقاومت ورودی این تقویت‌کننده برابر R_G است. برای رسیدن به یک مقاومت ورودی بسیار بزرگ می‌توان مطابق شکل ۷-۱۲ از روش بوت‌استرپ استفاده نمود. در این مدار مقاومت R_{G_1} طبق قضیه میلر با مقدار $R'_{G_1} = R_{G_1}/(1-A_V)$ در ورودی ظاهر می‌شود. معمولاً مقاومت R_{G_1} خیلی بزرگتر از R_{G_2} انتخاب می‌شود و در این صورت مقاومت معادل سورس (R'_S) حدوداً برابر $R_{G_2} \parallel R_S$ می‌شود.

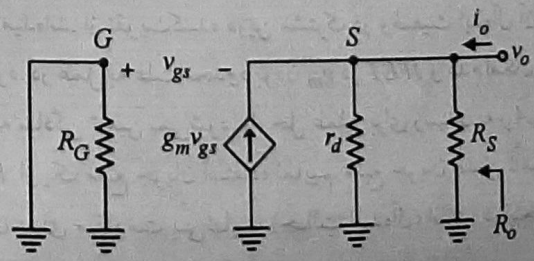
مثال ۷-۴: در مدار شکل ۷-۱۲ با فرض $R_{G_2} = 20\,K\Omega$، $R_{G_1} = 10\,M\Omega$، $R_S = 1\,K\Omega$، $r_d = 100\,K\Omega$، $|V_P| = 4\,V$ و $I_{DSS} = 8\,mA$، بهره ولتاژ و مقاومت ورودی تقویت‌کننده را به دست آورید.

حل:

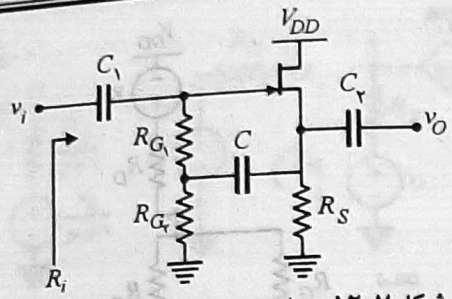
ابتدا محاسبات DC را انجام می‌دهیم. برای این محاسبات کلیه خازنها مدار باز هستند.

$$V_{GS} = -I_D R_S = -I_D$$

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 = 8 \left(1 - \frac{I_D}{4} \right)^2$$



شکل ۷-۱۱: مدار معادل سیگنال کوچک مناسب برای محاسبه R_o



شکل ۷-۱۲: مدار سورس فالوئر با خازن بوت استرپ

معادله اخیر دارای دو جواب ۲ و ۸ است که $I_D = 2\,mA$ جواب قابل قبول است.

$$g_m = 2 \left| \frac{I_{DSS}}{V_P} \right| \sqrt{I_D / I_{DSS}} = 2 \times \frac{8}{4} \times \sqrt{2/8} = 2\,mA/V$$

$$R'_S = R_S \parallel R_{G_2} = \frac{1 \times 20}{1 + 20} \cong 0.95\,K\Omega$$

$$A_V = \frac{g_m R'_S}{1 + g_m R'_S} = \frac{2 \times 0.95}{1 + 2 \times 0.95} \cong 0.65$$

$$R_i = R'_{G_1} = \frac{R_{G_1}}{1 - A_V} = \frac{10000}{1 - 0.65} = 28571\,K\Omega \cong 28.6\,M\Omega$$

■

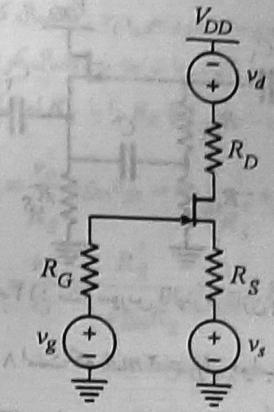
انعکاس منابع و مقاومتها

منظور از انعکاس منابع و مقاومتهای متصل شده به یک *JFET* از دید یک سر دیگر آن، پیدا کردن مقدار جدید آنهاست وقتی که به سر دیگر مدار منتقل شوند. مشابه کاری که در *BJT* انجام شد و نشان دادیم که انعکاس مقاومت R_E در مدار بیس به صورت $R_E(1 + h_{fe})$ است، در تقویت‌کننده‌های *JFET* نیز می‌توان با در نظر گرفتن انعکاس مذکور، مقاومتها و منابع را به سرهای مختلف منتقل نمود. برای بررسی مسأله در کلی‌ترین حالت، مدار شکل ۷-۱۳ را مورد مطالعه قرار می‌دهیم.

انعکاس از دید درین: برای بررسی این حالت ابتدا به جای *JFET* مدار معادل سیگنال کوچک آن را جایگزین می‌نماییم (شکل ۷-۱۴-الف). با نوشتن معادلات *KVL* به ترتیب در حلقه‌های ۱ و ۲ و در نظر گرفتن $i_g = 0$ رابطه لازم برای به دست آوردن انعکاس مورد نظر حاصل می‌شود.

$$v_g = R_G i_g + v_{gs} + R_S i_d + v_s = v_{gs} + R_S i_d + v_s \qquad (۲۹-۷)$$

$$v_d + \mu v_{gs} - v_s = (R_D + r_d + R_S) i_d \qquad (۳۰-۷)$$



شکل ۷-۱۳: شکل کلی یک تقویت‌کننده *JFET* با منابع سیگنال و مقاومتها در سرهای آن

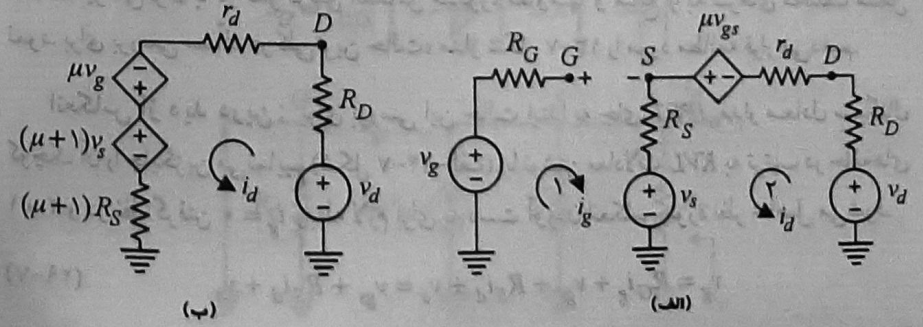
پس از به دست آوردن v_{gs} از رابطه ۷-۲۹ و جایگزینی آن در رابطه ۷-۳۰ خواهیم داشت

$$v_d - R_D i_d = (\mu+1)v_s - \mu v_g + \left[(\mu+1)R_S + r_d\right] i_d \qquad (۳۱-۷)$$

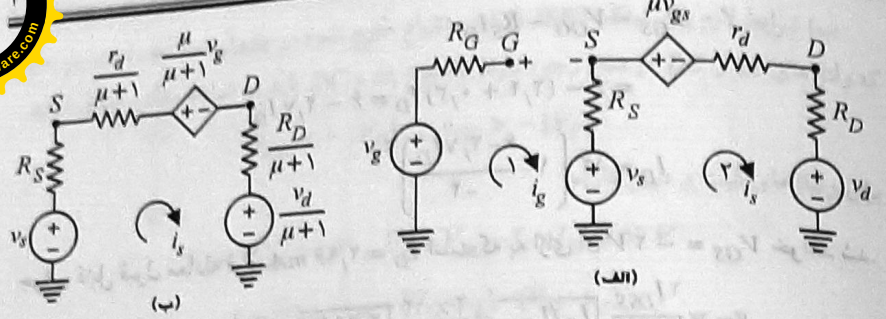
رابطه ۷-۳۱ در حقیقت بیان معادله *KVL* در مدار شکل ۷-۱۴-ب است. این شکل به خوبی نحوه انعکاس مقاومتها و منابع سورس و گیت در مدار درین را نشان می‌دهد. با توجه به مطالب فوق می‌توان نتیجه گرفت که از دید درین منبع گیت (v_g) با ضریب ($\mu -$) و منبع و مقاومت سورس با ضریب ($\mu + ۱$) ظاهر می‌شوند.

انعکاس از دید سورس: با نوشتن معادلات *KVL* در حلقه‌های ۱ و ۲ در شکل ۷-۱۵-الف و ترکیب آنها می‌توان نوشت

$$v_s - i_s R_S = \frac{r_d + R_D}{\mu+1} i_s + \frac{1}{\mu+1}(\mu v_g + v_d) \qquad (۳۲-۷)$$



شکل ۷-۱۴: مدارهای معادل مربوط به انعکاس از دید درین



شکل ۷-۱۵: مدارهای معادل مربوط به انعکاس از دید سورس

با نگاهی به شکل ۷-۱۵-ب در می‌یابیم که رابطه ۷-۳۲ همان معادله *KVL* در این مدار است. شکل مزبور گویای این مطلب است که از دید سورس منبع گیت، با ضریب $\frac{\mu}{\mu+1}$ و منبع و مقاومت درین با ضریب $\frac{1}{\mu+1}$ ظاهر می‌شوند.

مثال ۷-۵: تقویت‌کننده شکل ۷-۱۶ را با $V_P = -۴V$، $I_{DSS} = ۱۲mA$، $r_d = ۱۰۰K\Omega$، $R_{S_1} = ۳۰۰\Omega$ و $R_{S_2} = ۲/۴K\Omega$ در نظر بگیرید.

الف) بهره ولتاژ را محاسبه نمایید.

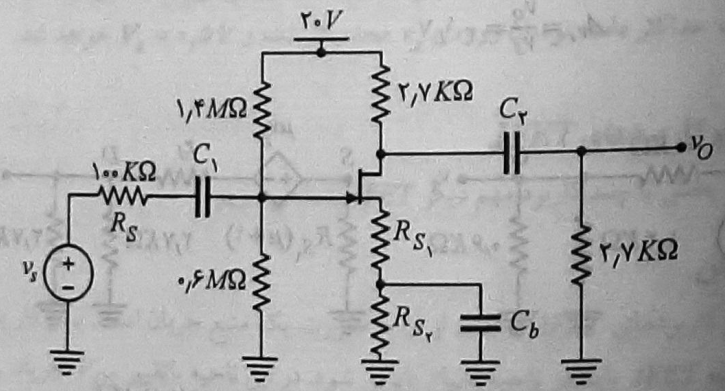
ب) حداکثر دامنه نوسان ورودی برای اینکه ترانزیستور از ناحیه اشباع خارج نشود را به دست آورید.

ج) بندهای (الف) و (ب) را برای حالتی که R_{S_1} نیز بایپاس شده باشد حل کنید.

حل:

الف) ابتدا مدار را در حالت *DC* حل کرده و پارامتر g_m را به دست می‌آوریم.

$$V_{GG} = \frac{R_{G_2}}{R_{G_1}+R_{G_2}} V_{DD} = \frac{۰/۶}{۱/۴+۰/۶} \times ۲۰ = ۶\,V$$



شکل ۷-۱۶: مدار مثال ۷-۵

$$V_{GS} = V_{GG} - R_S I_D$$
$$= ۶ - (۲/۴ + ۰/۳) I_D = ۶ - ۲/۷ I_D$$
$$I_D = ۱۲ \left(۱ - \frac{۶ - ۲/۷ I_D}{-۴}\right)^۲$$

جواب قابل قبول معادله فوق $I_D = ۲/۹۶\ mA$ است که به ازای آن $V_{GS} = -۲\ V$ خواهد شد.

$$g_m = \frac{۲I_{DSS}}{|V_P|}\sqrt{I_D/I_{DSS}} = \frac{۲ \times ۱۲}{۴}\sqrt{۲/۹۶/۱۲} \cong ۲/۹۸\ mA/V$$

مدار معادل ac تقویت‌کننده از دید درین در شکل ۷-۱۷ آمده است. در این مدار داریم

$$R_G = R_{G_۱} \| R_{G_۲} = \frac{۱/۴ \times ۰/۶}{۱/۴ + ۰/۶} = ۰/۴۲\ M\Omega$$

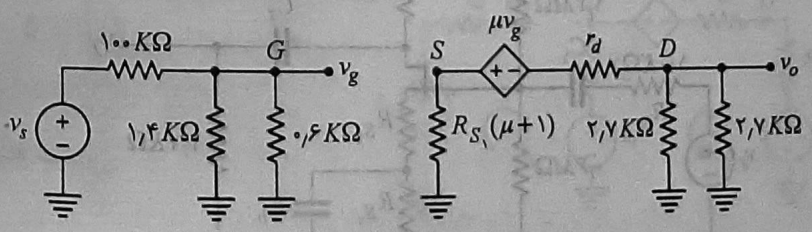
$$v_g = \frac{v_s}{R_S + R_G} R_G = \frac{۴۲۰}{۱۰۰ + ۴۲۰} v_s = ۰/۸۱ v_s$$

$$R_L' = R_D \| R_L = \frac{۲/۷ \times ۲/۷}{۲/۷ + ۲/۷} = ۱/۳۵\ K\Omega$$

$$\mu = g_m r_d = ۲/۹۸ \times ۱۰۰ = ۲۹۸$$

$$v_o = \frac{-\mu v_g R_L'}{r_d + (\mu + ۱) R_{S_۱} + R_L'}$$
$$= \frac{-۲۹۸ \times ۰/۸۱ \times ۱/۳۵}{۱۰۰ + ۲۹۹ \times ۰/۳ + ۱/۳۵} v_s = -۱/۷ v_s$$

$$A_{v_s} = \frac{v_o}{v_s} = -۱/۷$$



شکل ۷-۱۷: مدار معادل سیگنال کوچک تقویت‌کننده شکل ۷-۱۶

ب) شرایط لازم برای اینکه *JFET* از ناحیه اشباع خارج نشود در جدول ۷-۱ آمده است. در حالتی که ولتاژهای ac و DC در مدار وجود دارند مجموع ac و DC باید در شرایط مذکور صدق نماید.

$$v_{GD} < -|V_P| \quad , \quad v_{GS} > -|V_P|$$

برای ولتاژهای گیت و درین داریم

$$V_G = V_{GG} = ۶\ V \ , \ V_D = V_{DD} - ۲/۷ I_D \cong ۱۲\ V$$
$$v_{GD} = v_G - v_D = (V_G + v_g) - (V_D + v_d)$$

اگر دامنه متغیرهای سیگنال را با فازورهای آنها نمایش دهیم، داریم

$$V_g = ۰/۸۱ V_s \quad , \quad V_d = V_o = A_{v_s} V_s$$
$$v_{GD} = (V_G - V_D) + V_g - V_d = V_P$$
$$= (۶ - ۱۲) + ۰/۸۱ V_s + ۱/۷ V_s = -۴\ V$$
$$V_s \cong ۰/۸\ V$$

با دامنه فوق اگر حداکثر v_{GS} را به همان ترتیب محاسبه نماییم مقدار $v_{GS} = -۱/۰۵ V$ حاصل می‌شود که با شرط ناحیه اشباع سازگار است $(-۱/۰۵ > V_P)$.

ج) اگر $R_{S_۱}$ نیز باپاس شود، در مدار سیگنال $R_{S_۱} = ۰$ می‌شود و برای بهره ولتاژ داریم

$$A_{v_s} = \frac{v_o}{v_s} = \frac{-۲۹۸ \times ۰/۸۱ \times ۱/۳۵}{۱۰۰ + ۱/۳۵} \cong -۳/۲$$

ملاحظه می‌شود که با باپاس کردن تمام R_S بهره ولتاژ افزایش می‌یابد، اما می‌توان نشان داد که در این صورت حداکثر دامنه نوسان ورودی v_s محدودتر شده و $V_s = ۰/۵\ V$ خواهد شد.

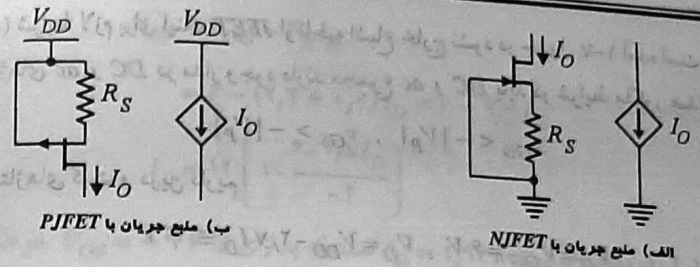
■

۷-۵ سایر کاربردهای *JFET*

در این بخش با چند کاربرد مهم دیگر *JFET* آشنا می‌شویم.

منبع جریان

یکی از کاربردهای *JFET* استفاده از آن به صورت یک منبع جریان است. برای کار به صورت منبع جریان، *JFET* باید در ناحیه اشباع بایاس شود. در این ناحیه باتغییر V_{DS} جریان I_D تا حد قابل قبولی ثابت باقی می‌ماند و مقدار آن از معادله شاکلی به‌دست می‌آید. در شکل ۷-۱۸ دو منبع



شکل ۷-۱۸: مدارهای منبع جریان با *JFET*

جریان ساخته شده با *JFET*های کانال N و P نشان داده شده است. در این شکلها سر آزاد منبع جریان می‌تواند به هر مدار دلخواه متصل شود. به عبارت دیگر ولتاژ سر آزاد منبع جریان لازم نیست مقدار معینی باشد، بلکه تنها کافی است این ولتاژ در محدوده‌ای تغییر کند که *JFET* از ناحیه اشباع خارج نشود. در صورتی که بخواهیم منبع جریان برابر I_{DSS} شود، کافیست مقدار R_S را صفر انتخاب نماییم ($V_{GS}=0$).

در شکل ۷-۱۸-الف سر پایینی را می‌توان به جای زمین به منبع ($-V_{DD}$) متصل نمود. در این صورت سر آزاد می‌تواند از طریق مقاومت به زمین وصل شود. همچنین در شکل ۷-۱۸-ب چنانچه منبع (V_{DD}) حذف و سر بالایی به زمین متصل شود، ضرورتاً سر آزاد باید به نحوی به ولتاژ منفی مناسب متصل شود. پارامتر مورد توجه در این مدارها، مقاومت منبع جریان است که در هر دو مدار فوق از دید سیگنال این مقاومت شامل ترکیب سری r_d و R_S ($\mu+1$) بوده و بنابراین مقدار آن به اندازه کافی بزرگ است.

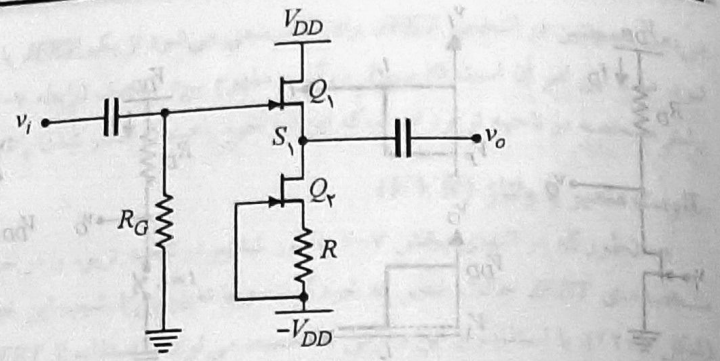
مثال ۷-۶: در تقویت‌کننده شکل ۷-۱۰ به جای R_S از منبع جریان مناسب استفاده کرده و نشان دهید A_V به نحو قابل ملاحظه‌ای به ۱ نزدیک می‌شود. مقدار A_V را با فرض $V_{DD}=15V$، $V_P=-4V$، $I_{DSS}=16mA$ و $r_d=100K\Omega$ محاسبه نمایید.

حل:

در شکل ۷-۱۹ مدار مورد نظر با یک منبع جریان به جای مقاومت R_S رسم شده است. فرض کنید با توجه به $V_P=-4V$ مدار را به گونه‌ای طراحی نماییم که $V_{GS_1}=-2V$ شود. در این صورت جریان I_{D_1} که همان جریان منبع (I_{D_2}) نیز خواهد بود قابل محاسبه است.

$$I_{D_1}=16\left(1-\frac{-2}{-4}\right)^2=4\,mA$$

$$I_{D_2}=16\left(1-\frac{-4R}{-4}\right)^2=4\Rightarrow R=0.5K\Omega$$



شکل ۷-۱۹: مدار مثال ۷-۶

چون $V_{G_1}=0$ و $V_{GS_1}=-2V$ است، پس

$$V_{S_1}=V_{D_2}=2V$$

$$V_{GD_2}=-15-2=-17<-|V_P|$$

بنابراین ترانزیستور Q_2 در ناحیه اشباع است و از این نظر مشکلی نداریم.

برای محاسبه A_V کافی است از رابطه ۷-۲۶ که مربوط به شکل ۷-۱۰ است استفاده نموده و فقط به جای R_S مقاومت دیده شده از درین Q_2 را جایگزین نماییم. این مقاومت برابر $R'_S=r_d+(\mu+1)R$ است.

$$g_m=\frac{2I_{DSS}}{|V_P|}\sqrt{I_D/I_{DSS}}=\frac{2\times16}{4}\sqrt{4/16}=4\,mA/V$$

$$\mu=g_m r_d=4\times100=400$$

$$R'_S=100+(400+1)\times0.5=300.5\,K\Omega$$

$$A_V=\frac{g_m R'_S}{1+g_m R'_S}=\frac{4\times300.5}{1+4\times300.5}\cong0.999$$

■

کلید با JFET

یکی دیگر از کاربردهای *JFET* استفاده از آن به صورت یک کلید است. برای این منظور لازم است *JFET* در دو ناحیه قطع و تریود قرار گیرد. در شکل ۷-۲۰-الف با باز و بسته شدن کلید، می‌توان جریان $I=V_{DD}/R_D$ را قطع یا وصل کرد. مشابه کار این کلید را *JFET* در مدار ۷-۲۰-ب